PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-099048
(43)Date of publication of application : 19.06.1982

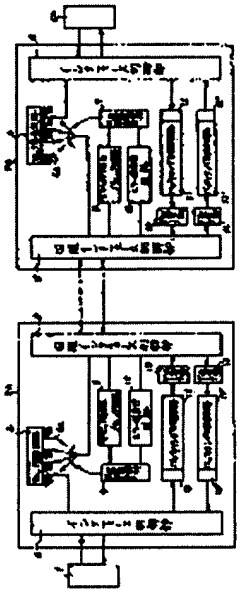
(51)Int.Cl. H04L 1/20
H04L 13/00
H04L 27/00

(21)Application number : 55-175360
(22)Date of filing : 12.12.1980

(71)Applicant : FUJITSU LTD
(72)Inventor : KUSUMOTO KOJI
TANAKA MASAKAZU
KITAHARA TAKESHI

(54) MODULATOR AND DEMODULATOR DEVICE

(57)Abstract:
PURPOSE: To keep the communication at the best transmission speed accoding to the quality of line normally, by giving a fall back function in an MODEM.
CONSTITUTION: A 0-bit train signal is transmitted for a prescribed time from a 0- bit train generating/checking circuit 9 of a host computer side modulation and demodulation device 2A to that of a terminal side modulation and demodulation device 3A. The circuit 9 of the device 3A informs a defective line to a line speed selecting control section 7 when 0s change to 1s for a prescribed number or more. The control section 7 instructs the fall back so that the line speed should slow down by one stage to the device 2A via an error transmission/reception circuit 10, switches a speed selection terminal 6a of a clock generating circuit 6m slows down the line speed by one stage and falls back the clock of the device itself. On the other hand, the device 2A switches the terminal 6A the same as the reception side and falls back the clock by one stage. The line speed slows down by one stage until the error does not take place and an optimum line speed can be selected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑲ 日本国特許庁（JP）　　⑪ 特許出願公開

⑫ 公開特許公報（A）　　昭57—99048

⑤1Int. Cl.³	識別記号	庁内整理番号	⑬公開　昭和57年(1982) 6 月19日
H 04 L 1/20		6651—5K	
13/00		6372—5K	発明の数　1
27/00		7240—5K	審査請求　有

（全 4 頁）

⑤4変復調装置

⑳特　　願　昭55—175360
㉒出　　願　昭55(1980)12月12日
㉑発 明 者　楠本康次
川崎市中原区上小田中1015番地
富士通株式会社内
㉑発 明 者　田中正和
川崎市中原区上小田中1015番地
富士通株式会社内
㉑発 明 者　北原毅
川崎市中原区上小田中1015番地
富士通株式会社内
㉑出 願 人　富士通株式会社
川崎市中原区上小田中1015番地
㉔代 理 人　弁理士　青柳稔

明　　細　　書

1. 発明の名称

変復調装置

2. 特許請求の範囲

計算機、ファクシミリ等のデータ通信装置を通信回線、衛星回線、データハイウェイ等の通信媒体により相互接続したデータ通信システムにおいて、該データ通信装置と該通信媒体間に設けられる変復調装置であって、通信回線品質をチェックするための信号を発信および受信チェックする回路、チェック結果を相手側装置に発信および相手側装置から受信する回路、及びチェック結果に基づくフォールバック指示信号を発生する回路並びに該フォールバック指示信号により、クロック周波数を切換えて回線速度を低下させる回線速度選択制御回路を夫々備えていることを特徴とする変復調装置。

3. 発明の詳細な説明

本発明は、データ通信システムにおける変復調装置に関し、変復調装置内で回線品質に応じて回線速度をフォールバックさせることを目的とする。

従来、電子計算機と端末装置間、あるいはある種のファクシミリ通信における送受信装置間等のようなデータ通信システムでは、回線不良によるエラーが発生すると、データ通信装置はリトライを行ない、リトライが成功しないときは通信不能に陥り、回線切断を余儀なくされていた。また電子計算機が介在するある種のデータ通信システムでは、電子計算機でエラーの発生頻度を監視し、エラー発生頻度が一定基準を越えると、変復調装置に回線スピード・ダウンを指示し回線速度を落していた。しかしながら、このような方式では電子計算機に通信媒体を経由して接続されるデータ通信装置の数が多くなれば、それに対応して各回線ごとに回線品質監視回路を設け、回線ごとに速度制御する必要があり、制御も複雑でコスト高になるという欠点があった。また回線速度が変化すると、変復調装置と電子計算機間の速度も同じ速度に変えなければならず、電子計算機側の負担が大きい。

本発明は、従来のデータ通信システムにおけるこのような欠点を解消することを目的とするものであり、この目的を達成するために本発明では、データ通信装置を通信媒体により相互接続したデータ通信システムにおいて、該データ通信装置と該通信媒体間に設けられる変復調装置に対し、通信回線品質をチェックするための信号を発信および受信チェックする回路、チェック結果を相手側装置に発信および相手側装置から受信する回路、及びチェック結果に基づくフォールバック指示信号を発生する回路、並びに該フォールバック指示信号により、クロック周波数を切換えて回線速度を低下させる回線速度選択制御回路をもたせる様にしている。

次に本発明による、変復調装置の実施例を図に従って詳細に説明する。

第1図は、本発明による変復調装置をデータ通信システムのホスト・コンピュータと端末装置間に使用した例のシステム図、第2図は、第1図のシステムに用いられる本発明による変復調装置の構成を示すブロック図である。

第1図において、1はホスト・コンピュータ、2A、2B…2Nは、ホスト・コンピュータ1にそれぞれ接続された変復調装置、3A、3B…3Nは、変復調装置2A、2B…2Nに通信回線を介してそれぞれ接続された端末側の変復調装置、4A、4B…4Nは、端末側変復調装置3A、3B、…3Nにそれぞれ接続された端末装置である。各端末装置4A、4B、…4Nは、変復調装置2A、2B、…2N、3A、3B、…3Nを介してホスト・コンピュータ1により制御され、かつ情報の伝送が行なわれる。第2図は、変復調装置2A、3Aの回線制御部を示すブロック図である。第2図において、まずホスト・コンピュータ1側の変復調装置2Aについて説明すると、5は変復調装置2Aとホスト・コンピュータ1間の入力端および出力端を構成するインタフェース制御部である。6はインタフェース制御部5に接続され、ホスト・コンピュータ1に対しては一定の速度のクロック信号を供給し、回線に対しては回線品質に応じたクロック信号を供給するクロック信号発生回路で、例えばクロック信号の速度を9600bps、7200bps、4800bps、2400bpsに切換えることができる。7は、クロック信号発生回路6に回線速度選択指示を与える回線速度選択制御部である。8は、変復調装置2Aと端末装置4A側の変復調装置3Aとの間の入力端および出力端を構成する回線インタフェース制御部である。9は、〝0〟ビット列発生／チェック回路であり、相手側の変復調装置3Aへ一定時間、〝0〟ビット列を送信すると共に、受信モードでは相手側変復調装置3Aから送られて来た〝0〟ビット列を監視し、一定数以上〝0〟ビットが〝1〟ビットに変化していたら回線不良と見なし、回線速度選択制御部7に対して〝回線不良〟を通知する。10はエラー送受信回路であり、回線速度選択制御部7が回線不良通知を受けた際に、〝0〟ビット列を発信した端末側変復調装置3Aに回線速度のフォールバックを発信指示すると共に、回線速度選択制御部7にもクロックのフォールバックを指示する。端末側変復調装置3Aからフォールバック指示が来たときも、同様に回線速度選択制御部7にクロックのフォールバックを指示する。11は、ホスト・コンピュータ1からのデータをバッファリングし、バッファが一杯になった時にフロー制御を行なうバッファリング制御回路、11′はホスト・コンピュータ1へのデータのバッファリングを行なうバッファリング制御回路、12・12′はバッファリング制御回路11、11′に設けられたフロー制御回路である。13はデータ送信部、14はデータ受信部である。端末側変復調装置3Aも全く同じ構成になっているが、インタフェース制御部5は、端末装置4Aに接続されている。

次に、この変復調装置の動作を説明する。データ通信は、予め定められたシーケンスに従って行なわれるが、回線品質のチェック動作をシーケンス上の所定の位置、例えばシーケンスの最初に挿入する。いま、データ通信に先立って一方の変復調装置例えばホスト・コンピュータ側変復調装置

２Ａの〝０〟ビット列発生／チェック回路９から、端末側変復調装置３Ａの〝０〟ビット列発生／チェック回路９に対し、一定時間〝０〟ビット列の信号を送信する。すると、端末側変復調装置３Ａの〝０〟ビット列発生／チェック回路９では、この〝０〟ビット列を受信して監視し、一定数以上〝０〟が〝１〟に変化していたら回線品質が不良であると見なし、回線速度選択制御部７に対して回線不良と通知する。この端末側変復調装置の回線速度選択制御部７では、エラー送受信回路１０を経由して〝０〟ビット列送信側であるホスト・コンピュータ側の変復調装置２Ａに対して、回線速度を１段落すようフォールバックを指示すると共に、自己のクロック発生回路６の速度選択端子６ａも、例えば９６００ｂｐｓから７２００ｂｐｓに切換えて回線速度を１段落し、自分自身のクロックをフォールバックする。

なお、受信側である端末側変復調装置３Ａの〝０〟ビット列発生／チェック回路９で、一定数以上〝１〟ビットが検出されず回線品質が正常であれば、送信側であるホスト・コンピュータ側の変復調装置２Ａに正常である旨の通知を行ない、上記のフォールバック動作は行なわない。

一方〝０〟ビット列を送信したホスト・コンピュータ側変復調装置２Ａでは、回線速度のフォールバック指示をエラー送受信回路１０で受信すると、その旨を回線速度選択制御部７に通知する。これにより回線速度選択制御部７では、速度選択端子６ａを受信側と同様に９６００ｂｐｓから７２００ｂｐｓに切換えてクロックを１段フォールバックする。そして再度〝０〟ビット列の送信を行ない、上記のフォールバック動作を繰返すことにより、エラーが発生しなくなるまで回線速度を１段ずつ落し、最適な回線速度を選択する。

このフォールバック動作は、変復調装置２Ａと変復調装置３Ａ間で行なわれるので、ホスト・コンピュータ１と変復調装置２Ａ間、変復調装置３Ａと端末装置４Ａ間では、フォールバック動作に関与していない。その結果、ホスト・コンピュータ１と変復調装置２Ａ間の回線速度はフォールバックが行なわれないので、最も速い９６００ｂｐｓに固定することができ、変復調装置２Ａと３Ａ間の回線速度がフォールバックされて遅くなっても、ホスト・コンピュータ１と変復調装置２Ａ間の情報伝送速度を変更する必要は無い。

このため、ホスト・コンピュータ１と変復調装置２Ａ間、並びに変復調装置２Ａと変復調装置３Ａ間の回線速度の差を吸収するため、各変復調装置内に、バッファリング制御回路１１、１１′を有しており、ホスト・コンピュータ１からのデータがバッファリングされる。バッファリング制御回路１１、１１′は処理能力に限度があるので、バッファが一杯になった時に、フロー制御回路12からホスト・コンピュータに、データ伝送の中止を要求する。

従って上記の如く、変復調装置２Ａ、３Ａ間の回線速度はフォールバックにより遅くなっても、ホスト・コンピュータ１と変復調装置２Ａ間、並びに変復調装置３Ａと端末装置４Ａ間の伝送速度を常に一定の速度に保つことができる。ホスト・コンピュータ１と端末装置４Ａ間の回線について説明したが、他の変復調装置２Ｂ、…２Ｎ、３Ｂ…３Ｎも全く同じ構成に成っており、同様な動作で自動的にフォールバックされる。

以上のように本発明によれば、変復調装置においてフォールバック機能を有するため、ある種のファクシミリ通信のように従来自動的なフォールバック動作が不可能であったデータ通信システムにおいても、常時回線品質に応じた最良の伝送速度での通信を維持することができる。また、変復調装置さえ、本発明の装置と取替えるだけでよく、データ伝送装置本体は改造を要しないので、従来装置においても容易に本発明による効果が得られる。更に各データ通信装置は回線品質と関与せず、変復調装置との間の伝送速度は常に高速に固定できるので、データ通信装置の構成が簡単になり、かつ第１図のように１つの装置に多数の回線を接続した場合でも、例えばホスト・コンピュータ１と各変復調装置２Ａ、２Ｂ…２Ｎ間の伝送速度を一定にできる。そのため、極めて低コストで自動

式フォールバックが実現される。

4. 図面の簡単な説明

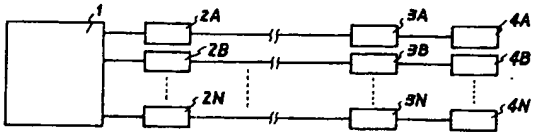
第１図は、本発明による変復調装置をホスト・コンピュータと各端末装置間のデータ通信に使用したシステムの図、第２図は本発明による変復調装置の実施例を示すブロック図である。

図において、１はホスト・コンピュータ、２Ａ、２Ｂ、…２Ｎ、３Ａ、３Ｂ、…３Ｎは変復調装置、４Ａ、４Ｂ、…４Ｎは端末装置、６はクロック信号発生回路、７は回線速度選択制御部、９は"０"ビット列発生／チェック回路、１０はエラー送受信回路、１１、１１′はバッファリング制御回路、１２、１２′はフロー制御回路である。

特許出願人　富士通株式会社

代理人　弁理士　青　柳　稔

第１図



第２図

